

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-243217

(43)Date of publication of application : 08.09.2000

(51)Int.Cl.

H01J 1/304

(21)Application number : 11-044051

(71)Applicant : MATSUSHITA ELECTRIC WORKS LTD

(22)Date of filing : 23.02.1999

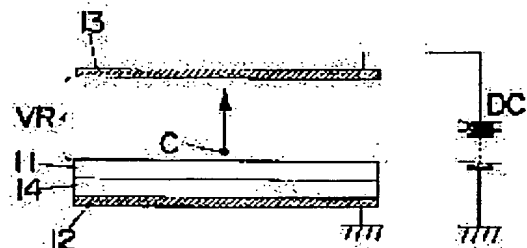
(72)Inventor : YAGYU HIROYUKI

(54) SEMICONDUCTOR DIAMOND ELECTRON EMITTING ELEMENT

(57)Abstract:

PROBLEM TO BE SOLVED: To inject and emit electrons using a low threshold voltage.

SOLUTION: This semiconductor diamond electron emitting element is composed of a p-type semiconductor diamond membrane 11, an electrode 12 provided on the lower surface side of the p-type semiconductor diamond membrane 11 and electrically connected to the negative polarity output terminal of a voltage source DC, an electrode 13 disposed counterposed to the upper surface of the p-type semiconductor diamond membrane 11 so as to sandwich a vacuum region VR, a ferroelectric part 14 of a ferroelectric substance interposed between the p-type diamond semiconductor membrane 11 and the lower surface of the electrode 12.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-243217

(P 2 0 0 0 - 2 4 3 2 1 7 A)

(43) 公開日 平成12年9月8日(2000.9.8)

(51) Int. Cl. ⁷

識別記号

F I

テーマコード (参考)

H01J 1/304

H01J 1/30

F

審査請求 未請求 請求項の数 6 O L (全5頁)

(21) 出願番号 特願平11-44051

(22) 出願日 平成11年2月23日(1999.2.23)

(71) 出願人 000005832

松下電工株式会社

大阪府門真市大字門真1048番地

(72) 発明者 柳生 博之

大阪府門真市大字門真1048番地松下電工株式会社内

(74) 代理人 100087767

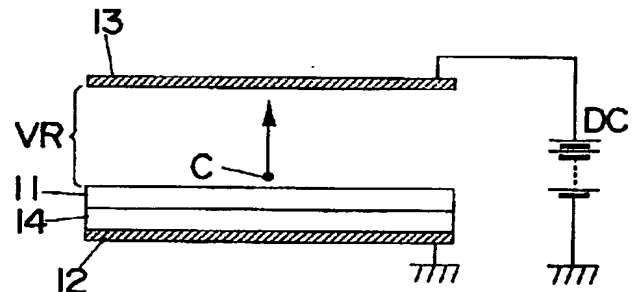
弁理士 西川 恵清 (外1名)

(54) 【発明の名称】 半導体ダイヤモンド電子放出素子

(57) 【要約】

【課題】 低いしきい電圧で電子を注入および放出する。

【解決手段】 p形半導体ダイヤモンド薄膜11と、このp形半導体ダイヤモンド薄膜11の下面側に設けられ、電圧源DCの負極性出力端子と電気的に接続される電極12と、p形半導体ダイヤモンド薄膜11の上面と真空領域VRを挟んで対向配置され、電圧源DCの正極性出力端子と電気的に接続される電極13と、p形半導体ダイヤモンド薄膜11の下面と電極12との間に介設される強誘電体物質により成る強誘電体部14とにより、半導体ダイヤモンド電子放出素子を構成する。



11 p形半導体ダイヤモンド薄膜

12, 13 電極

14 強誘電体部

VR 真空領域

【特許請求の範囲】

【請求項1】 p形半導体ダイヤモンド薄膜と、
前記p形半導体ダイヤモンド薄膜の一方の面に設けられる第1電極と、
前記p形半導体ダイヤモンド薄膜の他方の面と空間を挟んで対向配置される第2電極と、
前記一方の面と前記第1電極との間に介設される強誘電体物質により成る強誘電体部とを備える半導体ダイヤモンド電子放出素子。

【請求項2】 前記p形半導体ダイヤモンド薄膜の他方の面は負の電子親和力を示す請求項1記載の半導体ダイヤモンド電子放出素子。

【請求項3】 前記強誘電体部の厚みは数百～千Åである請求項1記載の半導体ダイヤモンド電子放出素子。

【請求項4】 前記強誘電体部は、PLZT、LT、LNまたはPVDf系の強誘電体物質により成る請求項1または3記載の半導体ダイヤモンド電子放出素子。

【請求項5】 前記強誘電体部はパターンニングによって前記一方の面と前記第1電極との間に選択的に介設されて成る請求項1記載の半導体ダイヤモンド電子放出素子。

【請求項6】 前記強誘電体部は前記一方の面と前記第1電極との間に2次元配列されて成る請求項5記載の半導体ダイヤモンド電子放出素子。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、超微細真空エレクトロニクス分野に属し、様々な微小電子源、例えば平面ディスプレイおよび微細真空管などに応用が期待される半導体ダイヤモンド電子放出素子に関するものである。

【0002】

【従来の技術】近年、半導体微細加工技術の水平展開の一つとして、微細真空エレクトロニクスが注目を浴びているが、今後、産業上の市場規模が最も大きくなるであろうと期待される平面ディスプレイなどへの応用が考えられることから、特に電子放出素子（エレクトロン・エミッタ）がその中心的役割を担っている。

【0003】この電子放出素子には金属から半導体に至るまで実に様々な材料が用いられているが、その中で特にダイヤモンドを有力候補に挙げることができる。というのも、ダイヤモンドは、硼素を不純物として含むと半導体としての特性を持ち、また表面が水素終端されるとその表面が安定な負の電子親和力を持つことになるからである。さらに近年、ダイヤモンドの薄膜合成が可能になって、ディスプレイなどの基板部分にその薄膜をコーティングによって形成可能となるなど、従来の半導体技術を用いたデバイスへの適用が可能となるからである。

【0004】図6はこのような従来の半導体ダイヤモンド電子放出素子の断面構造図で、この半導体ダイヤモンド電子放出素子は、p形半導体ダイヤモンド薄膜11

と、このp形半導体ダイヤモンド薄膜11の下面に設けられる電極12と、p形半導体ダイヤモンド薄膜11の上面と真空領域VRを挟んで対向配置される電極13とを備え、電圧源DCにより電極12、13間に高電圧を印加すると、自由電子Cが、電極12からp形半導体ダイヤモンド薄膜11に注入され、電極13側にドリフトして真空領域VR中に放射する構成になっている。

【0005】なお、特開平4-67528号公報には、p型半導体層とn型半導体層との間に順バイアス電圧を印加してp型半導体層側から電子放出を行う、負の電子親和力状態の表面を有する半導体電子放出素子において、p型半導体層にダイヤモンド層を用いて成る半導体電子放出素子が開示されている。

【0006】

【発明が解決しようとする課題】しかしながら、図6に示す従来の半導体ダイヤモンド電子放出素子では、電極12からp形半導体ダイヤモンド薄膜11中への電子の注入がトンネル効果に依存するので、電圧源DCによって電極12、13間に高電圧を印加すべく、電子源駆動電圧を高める必要があった。

【0007】本発明は、上記事情に鑑みてなされたものであり、低いしきい電圧で電子を注入および放出することが可能な半導体ダイヤモンド電子放出素子を提供することを目的とする。

【0008】

【課題を解決するための手段】上記課題を解決するための請求項1記載の発明の半導体ダイヤモンド電子放出素子は、p形半導体ダイヤモンド薄膜と、前記p形半導体ダイヤモンド薄膜の一方の面に設けられる第1電極と、前記p形半導体ダイヤモンド薄膜の他方の面と空間を挟んで対向配置される第2電極と、前記一方の面と前記第1電極との間に介設される強誘電体物質により成る強誘電体部とを備えるものである。

【0009】この構造では、強誘電体部が介在することで、p形半導体ダイヤモンド薄膜における強誘電体部の界面側に、伝導帯準位がわずかに低い方にベンディングする反転層が形成される。これにより、第1および第2電極間にバイアス電圧を印加した際、その反転層によって新たに注入される電子が伝導帯準位へと励起されやすくなる。すなわち、上記反転層を利用して自由電子を伝導帯準位へと押し上げることが可能になり、この結果、低いしきい電圧で電子を注入および放出することが可能になる。

【0010】なお、前記p形半導体ダイヤモンド薄膜の他方の面は負の電子親和力を示すのが望ましい（請求項2）。これにより、空間への自由電子の放出効率を高めることができる。

【0011】また、前記強誘電体部の厚みは数百～千Åであるのが望ましい（請求項3）。これにより、空間への自由電子の放出効率と、ピンホールや結晶欠陥・粒界

の影響に対する信頼性とを最適な状態にバランスさせることが可能になる。

【0012】また、前記強誘電体部は、PLZT、LT、LNまたはPVDf系の強誘電体物質により成るものでもよい（請求項4）。これにより、強誘電体部が大きな自発分極を有するようになる。

【0013】また、前記強誘電体部はパターンニングによって前記一方の面と前記第1電極との間に選択的に介設されて成るものでもよい（請求項5）。これにより、任意の領域だけに電子放出領域を形成することが可能となる。

【0014】さらに、前記強誘電体部は前記一方の面と前記第1電極との間に2次元配列されて成るものでもよい（請求項6）。これにより、例えば平面ディスプレイ用の電子放出素子アレイを形成することができる。

【0015】

【発明の実施の形態】図1は本発明の第1実施形態に係る半導体ダイヤモンド電子放出素子の断面構造図、図2は図1に示す半導体ダイヤモンド電子放出素子のエネルギー帯構造を示す模式図で、これらの図を用いて以下に第1実施形態の説明を行う。

【0016】本半導体ダイヤモンド電子放出素子は、図1に示すように、p形半導体ダイヤモンド薄膜11と、このp形半導体ダイヤモンド薄膜11の下面側に設けられ、電圧源DCの負極性出力端子と電気的に接続される電極（第1電極）12と、p形半導体ダイヤモンド薄膜11の上面と真空領域（空間）VRを挟んで対向配置され、電圧源DCの正極性出力端子と電気的に接続される電極（第2電極）13と、p形半導体ダイヤモンド薄膜11の下面と電極12との間に介設される強誘電体物質により成る強誘電体部14とにより構成されている。

【0017】ただし、p形半導体ダイヤモンド薄膜11の上面（表面）は水素終端処理が施され、その上面の電子親和力は負になっている。また、強誘電体部14は、例えば、PLZT、LT、LNまたはPVDf系などの強誘電体物質により成り、大きな自発分極を有している。

【0018】次に、上記構造の半導体ダイヤモンド電子放出素子の動作について、強誘電体部14の作用および効果とともに説明する。

【0019】まず、電極12、13間に電圧が印加していない場合には、半導体ダイヤモンド電子放出素子のエネルギー帯構造は図2（a）に示すようになる。この場合、強誘電体部14が介在することで、p形半導体ダイヤモンド薄膜11における強誘電体部14の界面側に、伝導帯準位 ϵ_c がわずかに低い方にベンディングする反転層Aが形成される。このとき、フェルミ準位 $\epsilon_{F(D)}$ が伝導帯側に接近するために伝導帯に自由電子が集まる。なお、図2のBはp形半導体ダイヤモンド薄膜11の上面における真空準位を示す。

【0020】この状態で、電圧源DCから電極12、13間にバイアス電圧が印加すると、上記エネルギー帯構造は図2（b）に示すように変化する。この状態で、反転層A中の自由電子Cが真空領域VR側にドリフトすると、p形半導体ダイヤモンド薄膜11における真空領域VRの界面側では、伝導体の準位 ϵ_c が真空準位Bよりも低い（電子親和力が負である）ために、自由電子Cは真空領域VR中に放出されることになる。このように、p形半導体ダイヤモンド薄膜11の上面の電子親和力が負であることは、真空領域VRへの自由電子Cの放出効率を高める上で半導体ダイヤモンド電子放出素子の重要な設計要件となる。

【0021】電子放出によってp形半導体ダイヤモンド薄膜11側の電子が不足すると、新たな電子が電極12側から強誘電体部14によるポテンシャル障壁をトンネリングして荷電子帯 ϵ_v に流れ込む。このとき、新たな電子は、反転層Aにより、伝導帯準位 ϵ_c へと励起されやすくなっている。すなわち、図2（b）から明らかなように、反転層Aにより強誘電体部14によるポテンシャル障壁をトンネリングする電子の割合（確率）が増大する。また、トンネリングする電子の割合をさらに増大させるため、強誘電体部14の厚みは、より薄くされるべきであるが、ピンホールや結晶欠陥・粒界の影響などを考慮すると、数百～千Å程度が好ましい。

【0022】以上、第1実施形態によれば、反転層Aを利用して自由電子を伝導帯準位へと押し上げることが可能になり、この結果、低いしきい電圧で電子を注入および放出することが可能になる。また、本半導体ダイヤモンド電子放出素子の駆動が容易になり、長寿命化に大きく貢献する。

【0023】図3は本発明の第2実施形態に係る半導体ダイヤモンド電子放出素子の断面構造図で、この図を用いて以下に第2実施形態の説明を行う。

【0024】本半導体ダイヤモンド電子放出素子は、電極12、13を第1実施形態と同様に備えているほか、第1実施形態との相違点として、パターンニングによって電極12上面に選択的に形成される強誘電体部24と、この強誘電体部24が形成された電極12上面全体に形成されるp形半導体ダイヤモンド薄膜21とを備えている。

【0025】ただし、p形半導体ダイヤモンド薄膜21の上面は水素終端処理が施され、その上面の電子親和力は負になっている。また、強誘電体部24は、例えば、PLZT、LT、LNまたはPVDf系などの強誘電体物質により成り、大きな自発分極を有している。

【0026】次に、本半導体ダイヤモンド電子放出素子の動作について概説すると、強誘電体部24が形成されている領域部分で第1実施形態と同様の回路動作が実行されることになる。すなわち、強誘電体部24の上方に位置する突状のp形半導体ダイヤモンド薄膜21の上面

のみから、低いしきい電圧でも真空領域VR側に電子が放出されるのである。

【0027】以上、第2実施形態によれば、第1実施形態と同様の効果を奏することが可能になるほか、強誘電体部24を選択的に形成することによって、任意の領域だけに電子放出領域を形成することが可能となる。これにより、デバイス製造の自由度が拡大する。また、ダイヤモンド薄膜の選択形成は一般的に困難であるので、本第2実施形態によれば、製造プロセスを容易にする点でも非常に効果がある。

【0028】図4は本発明の第3実施形態に係る半導体ダイヤモンド電子放出素子の断面構造図で、この図を用いて以下に第3実施形態の説明を行う。

【0029】本半導体ダイヤモンド電子放出素子は、電極12、13を第1実施形態と同様に備えているほか、第1実施形態との相違点として、パターニングによって電極12上面に選択的に形成される強誘電体部34と、この強誘電体部34が形成された電極12上面全体に形成されるp形半導体ダイヤモンド薄膜31とを備えている。

【0030】ただし、p形半導体ダイヤモンド薄膜31の上面は水素終端処理が施され、その上面の電子親和力は負になっている。また、強誘電体部34は、例えば、PLZT、LT、LNまたはPVDf系などの強誘電体物質により成り、大きな自発分極を有している。

【0031】次に、本半導体ダイヤモンド電子放出素子の動作について概説すると、強誘電体部34が形成されている領域部分で第1実施形態と同様の回路動作が実行されることになる。すなわち、強誘電体部34の上方に位置する第2実施形態よりも形状が複雑な突状のp形半導体ダイヤモンド薄膜31の上面のみから、低いしきい電圧でも真空領域VR側に電子が放出されるのである。

【0032】以上、第3実施形態によれば、第1実施形態と同様の効果を奏することが可能になるほか、強誘電体部34を選択的に形成することによって、任意の領域だけに電子放出領域を形成することが可能となる。これにより、デバイス製造の自由度が拡大する。また、ダイヤモンド薄膜の選択形成は一般的に困難であるので、本第3実施形態によれば、製造プロセスを容易にする点でも非常に効果がある。

【0033】図5は本発明の第4実施形態に係る半導体ダイヤモンド電子放出素子の断面構造図で、この図を用いて以下に第4実施形態の説明を行う。

【0034】本半導体ダイヤモンド電子放出素子は、対向配置される一対の基板1、2と、これら一対の基板1、2の両対向面上にそれぞれストライプ状に形成される電極42、43と、これら電極42、43が互いに交差する電極42上面に2次元配列される複数の強誘電体部44と、電極42および強誘電体部44が形成された基板1上面全体に形成されるp形半導体ダイヤモンド薄

膜41とを備えている。

【0035】ただし、p形半導体ダイヤモンド薄膜41の上面は水素終端処理が施され、その上面の電子親和力は負になっている。また、各強誘電体部44は、例えば、PLZT、LT、LNまたはPVDf系などの強誘電体物質により成り、大きな自発分極を有している。

【0036】次に、本半導体ダイヤモンド電子放出素子の動作について概説すると、強誘電体部44が形成されている領域部分で第1実施形態と同様の回路動作が実行されることになる。すなわち、各強誘電体部44の上方に位置する突状のp形半導体ダイヤモンド薄膜41の上面のみから、低いしきい電圧でも真空領域VR側に電子が放出されるのである。

【0037】以上、第4実施形態によれば、第1実施形態と同様の効果を奏することが可能になるほか、強誘電体部44を2次元配列により形成することによって、例えば平面ディスプレイ用の電子放出素子アレイを形成することができる。

【0038】

20 【発明の効果】以上のことから明らかなように、請求項1記載の発明によれば、p形半導体ダイヤモンド薄膜と、前記p形半導体ダイヤモンド薄膜の一方の面に設けられる第1電極と、前記p形半導体ダイヤモンド薄膜の他方の面と空間を挟んで対向配置される第2電極と、前記一方の面と前記第1電極との間に介設される強誘電体物質により成る強誘電体部とを備えるので、低いしきい電圧で電子を注入および放出することが可能になる。

30 【0039】請求項2記載の発明によれば、前記p形半導体ダイヤモンド薄膜の他方の面は負の電子親和力を示すので、空間への自由電子の放出効率を高めることが可能になる。

【0040】請求項3記載の発明によれば、前記強誘電体部の厚みは数百～千Åであるので、空間への自由電子の放出効率と、ピンホールや結晶欠陥・粒界の影響に対する信頼性とを最適な状態にバランスさせることが可能になる。

40 【0041】請求項4記載の発明によれば、前記強誘電体部は、PLZT、LT、LNまたはPVDf系の強誘電体物質により成るので、大きな自発分極を強誘電体部に持たせることができる。

【0042】請求項5記載の発明によれば、前記強誘電体部はパターニングによって前記一方の面と前記第1電極との間に選択的に介設されて成るので、任意の領域だけに電子放出領域を形成することが可能となる。

【0043】請求項6記載の発明によれば、前記強誘電体部は前記一方の面と前記第1電極との間に2次元配列されて成るので、例えば平面ディスプレイ用の電子放出素子アレイを形成することができる。

【図面の簡単な説明】

50 【図1】本発明の第1実施形態に係る半導体ダイヤモンド

ド電子放出素子の断面構造図である。

【図 2】図 1 に示す半導体ダイヤモンド電子放出素子のエネルギー帯構造を示す模式図である。

【図 3】本発明の第 2 実施形態に係る半導体ダイヤモンド電子放出素子の断面構造図である。

【図 4】本発明の第 3 実施形態に係る半導体ダイヤモンド電子放出素子の断面構造図である。

【図 5】本発明の第 4 実施形態に係る半導体ダイヤモンド電子放出素子の断面構造図である。

【図 6】従来の半導体ダイヤモンド電子放出素子の断面構造図である。

【符号の説明】

11, 21, 31, 41 p 形半導体ダイヤモンド薄膜

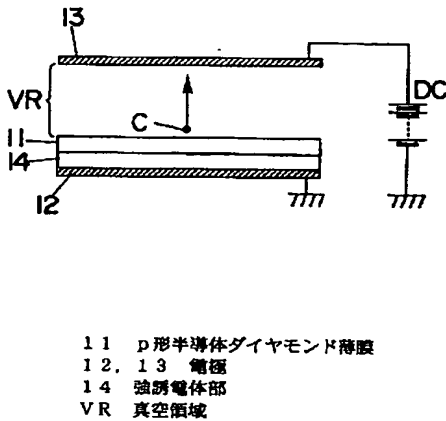
12, 42 電極

13, 43 電極

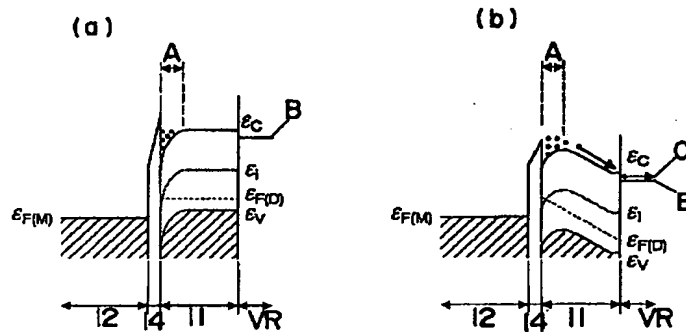
14, 24, 34, 44 強誘電体部

VR 真空領域

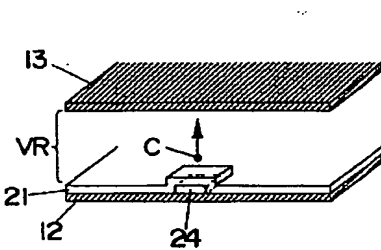
【図 1】



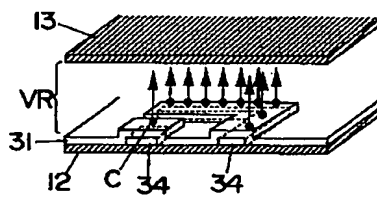
【図 2】



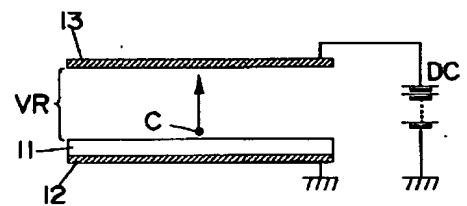
【図 3】



【図 4】



【図 6】



【図 5】

